

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

3-4-02  
Jc903 U.S. PTO  
10/045101  
01/15/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月19日

出 願 番 号

Application Number:

特願2001-041982

出 願 人

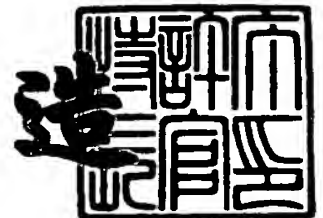
Applicant(s):

沖電気工業株式会社  
株式会社 沖マイクロデザイン

2001年 7月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3063817

【書類名】 特許願

【整理番号】 KA003746

【提出日】 平成13年 2月19日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 1/00  
G06F 1/32

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社  
沖マイクロデザイン内

【氏名】 後藤 敏徳

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコントローラ

【特許請求の範囲】

【請求項 1】 アドレス信号に従って読み出したプログラムに基づいて所定の処理を行うと共に、該処理の後に次の割込信号で起動されるまで停止状態となって停止信号を出力する中央処理装置と、

前記アドレス信号に従って記憶内容を読み出して出力すると共に、待機信号が与えられたときには読出動作を停止して低消費電力状態になる記憶装置と、

前記停止信号が与えられたときには、前記中央処理装置から出力されているアドレス信号に基づいて前記記憶装置から所定範囲のプログラムを読み出して保持した後、該記憶装置に前記待機信号を出力し、該停止信号が解除されたときには、直ちに該待機信号を解除すると共に、該保持したプログラムを該中央処理装置から与えられるアドレス信号に基づいて順次出力するメモリ制御手段とを、

備えたことを特徴とするマイクロコントローラ。

【請求項 2】 アドレス信号に従って読み出したプログラムに基づいて所定の処理を行うと共に、該処理の後に次の割込信号で起動されるまで停止状態となって停止信号を出力する中央処理装置と、

前記アドレス信号に従って記憶内容を読み出して出力すると共に、待機信号が与えられたときには読出動作を停止して低消費電力状態になる記憶装置と、

前記停止信号が与えられたときに、前記記憶装置に対して前記待機信号を出力し、前記中央処理装置に対する割込要求が発生したときには、該待機信号を解除すると共に、所定時間の経過後または該記憶装置から動作可能な状態を示す信号が与えられた時点で、該中央処理装置に前記割込信号を出力する割込制御手段とを、

備えたことを特徴とするマイクロコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロコントローラ（以下、「マイコン」という）、特にその低

消費電力化に関するものである。

【0002】

【従来の技術】

図2は、従来のマイコンの概略の構成図であり、低消費電力化に関する機能を説明するものである。

【0003】

このマイコンは、全体の処理制御を司る中央処理装置（以下、「CPU」という）1と、処理制御の手順を示すプログラムやデータが格納された読出専用メモリ（以下、「ROM」という）2と、CPU1の制御に従って所定の動作をする図示しない周辺回路を備えている。CPU1からROM2に対して読出位置を指定するアドレス信号ADRが出力され、このROM2から読み出されたデータDATが、データラッチ3を介してCPU1に与えられるようになっている。

【0004】

CPU1は、動作状態を示す停止信号STPを、ROM2のチップ選択端子CEとデータラッチ3に与えるようになっている。ROM2は、停止信号STPがレベル“L”の時にデータDATを読み出して出力する動作モードとなり、この停止信号STPがレベル“H”になると待機モードとなってデータDATの出力を停止するようになっている。また、データラッチ3は、停止信号STPが“L”の時にROM2から読み出されたデータDATをそのまま出力し、この停止信号STPが“H”になるとその時点のデータDATをそのまま保持して出力するようになっている。

【0005】

このようなマイコンでは、通常の動作状態でCPU1から出力される停止信号STPは“L”となっている。これにより、ROM2は動作モードとなり、CPU1から与えられるアドレス信号ADRに基づいてデータDATを読み出して出力する。データDATはデータラッチ3を介してCPU1に与えられ、このCPU1によって解読されて順次処理が行われる。CPU1から周辺回路に対する制御指令が出され、その制御指令に基づく処理が完了するまでCPU1が待ち状態になる場合に、STOP（停止）命令が実行される。これにより、CPU1から

出力される停止信号STPが“H”になり、ROM2は待機モードとなってデータDATの出力が停止され、低消費電力状態となる。

【0006】

次に周辺回路の処理が完了して、この周辺回路からCPU1に図示しない割込信号が印加されると、CPU1は動作を再開し、データラッチ3に格納されたデータDATを読み出すと共に、停止信号STPを“L”にする。これにより、ROM2は動作モードとなり、アドレス信号ADRに基づいたデータDATの読み出しが再開される。

【0007】

【発明が解決しようとする課題】

しかしながら、従来のマイコンでは、次のような課題があった。

例えば、フラッシュROMと呼ばれる電氣的に消去及び書き込み可能な不揮発性メモリは、待機モードとして極低消費電力モードと低消費電力モードの2種類の節電機能を有している。しかし、極低消費電力モードから、動作モードに復帰するまでの時間が長いため、停止信号STPが“H”から“L”に変化した直後に、データDATを正しく読み出すことができず、誤動作することがあった。このため、極低消費電力モードを使用することができず、消費電力が比較的多い低消費電力モードを使用しなければならないので、低消費電力化に限界があるという課題があった。

【0008】

本発明は、前記従来技術が持っていた課題を解決し、再起動時のメモリの誤読み出しがなく、一層の低消費電力化が可能なマイコンを提供するものである。

【0009】

【課題を解決するための手段】

前記課題を解決するために、本発明の内の第1の発明は、マイコンにおいて、アドレス信号に従って読み出したプログラムに基づいて所定の処理を行うと共に、該処理の後に次の割込信号で起動されるまで停止状態となって停止信号を出力するCPUと、前記アドレス信号に従って記憶内容を読み出して出力すると共に、待機信号が与えられたときには読出動作を停止して低消費電力状態になる記憶

装置と、前記停止信号が与えられたときには、前記CPUから出力されているアドレス信号に基づいて前記記憶装置から所定範囲のプログラムを読み出して保持した後、該記憶装置に前記待機信号を出力し、該停止信号が解除されたときには、直ちに該待機信号を解除すると共に、該保持したプログラムを該CPUから与えられるアドレス信号に基づいて順次出力するメモリ制御手段とを備えている。

## 【 0 0 1 0 】

第1の発明によれば、以上のようにマイコンを構成したので、次のような作用が行われる。

CPUがプログラムに基づいて所定の処理を行った後に停止状態になると、メモリ制御手段によって記憶装置から所定範囲のプログラムが読み出されて保持され、その後、記憶装置は待機信号によって低消費電力状態になる。CPUの停止信号が解除されると、メモリ制御手段から出されていた待機信号が解除され、記憶装置が起動される。一方、再起動されたCPUから与えられるアドレス信号に基づいて、メモリ制御手段に保持されている所定範囲のプログラムが読み出され、CPUに出力される。

## 【 0 0 1 1 】

第2の発明は、第1の発明と同様のCPUと、記憶装置と、停止信号が与えられたときに、前記記憶装置に対して待機信号を出力し、CPUに対する割込要求が発生したときには、該待機信号を解除すると共に、所定時間の経過後または該記憶装置から動作可能な状態を示す信号が与えられた時点で、該CPUに割込信号を出力する割込制御手段とを備えている。

## 【 0 0 1 2 】

第2の発明によれば、次のような作用が行われる。

CPUから停止信号が与えられると、割込制御手段から記憶装置に対して待機信号が出力され、この記憶装置は低消費電力状態になる。次に、CPUに対する割込要求が発生すると、割込制御手段から出力されていた待機信号が解除される。更に、所定時間の経過後または記憶装置から動作可能な状態を示す信号が与えられた時点で、割込制御手段からCPUに割込信号が出力される。

## 【 0 0 1 3 】

## 【発明の実施の形態】

## (第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態を示すマイコンの概略の構成図である。

このマイコンは、全体の処理制御を司る CPU 10 と、処理制御の手順を示すプログラムやデータが格納されたフラッシュ ROM 等の ROM 20 と、図示しない周辺回路を備えている。

## 【0014】

CPU 10 は、ROM 20 中のデータの読出位置を指定する例えば 16 ビットのアдрес信号 ADR を出力すると共に、このアдрес信号 ADR に対応した例えば 8 ビットのデータ DTC が与えられるようになっている。また、CPU 10 は、動作状態を示す 2 つの停止信号 HLT, STP を出力するようになっている。停止信号 HLT は、例えば HALT (停止) 命令を実行して、周辺回路等から図示しない割込信号が印加されるまで NOP (ノー・オペレーション) 状態となった時に、“H” となる信号である。また、停止信号 STP は、例えば STOP (停止) 命令を実行したときに、内部のクロック信号を止めた状態になり、周辺回路等から図示しない割込信号が印加されるまで “H” となる信号である。これらの停止信号 HLT, STP は、通常動作時には共に “L” となっている。

## 【0015】

一方、ROM 20 は、チップ選択端子 CE に与えられるモード信号 MOD が “L” の時に動作モードとなって、アдрес信号 ADM で指定された領域の記憶内容を読み出して、データ DAT を出力するものである。また、モード信号 MOD が “H” の時、ROM 20 は極低消費電力状態の待機モードとなり、データ DAT の出力を停止するようになっている。

## 【0016】

また、CPU 10 と ROM 20 は、下記のようなアдрес制御部 31、セレクタ (SEL) 32, 33, 37、及びデータラッチ 34 ~ 36 からなるメモリ制御手段を介して接続されている。

## 【0017】

CPU 10 から出力されるアдрес信号 ADR と停止信号 HLT は、アдрес

制御部 31 に与えられるようになっている。アドレス制御部 31 は、停止信号 HLT が “L” から “H” に変化し、CPU10 からのアドレス信号 ADR が固定されたときに、図示しないタイミング信号に従って、このアドレス信号 ADR を 1 ずつ増加させて、2 つ先までのアドレス信号 ADI を生成する機能を有している。また、このアドレス信号 ADI に対応して、ラッチ信号 LA1, LA2, LA3 を生成する機能を有している。

## 【0018】

更に、アドレス制御部 31 は、2 つ先までのアドレス信号 ADI を生成した後、アドレス信号 ADI を前のアドレス信号 ADR に戻すと共に、モード信号 MDA を “L” から “H” にする機能を有している。更にまた、アドレス制御部 31 は、停止信号 HLT が “H” から “L” に戻ったときに、モード信号 MDA を “H” から “L” に戻すと共に、図示しないタイミング信号に従って、選択信号 SLA を 1, 2, 3, 1 の順に出力する機能を有している。

## 【0019】

CPU10 から出力されるアドレス信号 ADR と、アドレス制御部 31 から出力されるアドレス信号 ADI は、セクタ 32 の第 1 及び第 2 の入力側にそれぞれ接続されている。また、セクタ 32 の制御端子には、停止信号 HLT が与えられている。セクタ 32 は、制御端子に与えられる停止信号 HLT の “L” / “H” に応じて第 1 / 第 2 の入力側を選択し、アドレス信号 ADM として ROM 20 に与えるものである。

## 【0020】

CPU10 から出力される停止信号 STP と、アドレス制御部 31 から出力されるモード信号 MDA は、セクタ 33 の第 1 及び第 2 の入力側にそれぞれ接続されている。セクタ 33 は、制御端子に与えられる停止信号 HLT の “L” / “H” に応じて第 1 / 第 2 の入力側を選択し、モード信号 MOD として ROM 20 に与えるものである。

## 【0021】

ROM 20 から出力されるデータ DAT は、3 個の 8 ビットのデータラッチ 34, 35, 36 に共通に与えられるようになっている。更にデータラッチ 34 ~



36には、アドレス制御部31からラッチ信号LA1～LA3が、それぞれ与えられるようになっている。これらのデータラッチ34～36は、ラッチ信号LA1～LA3に従って、データDATを保持するものである。データラッチ34～36の出力側は、セクタ37の入力側に接続されている。セクタ37は、アドレス制御部31から制御端子に与えられる選択信号SLAに従って、データラッチ34～36の出力信号を選択し、データDTCとしてCPU10に出力するものである。

## 【0022】

図3は、図1の動作を示す信号波形図である。以下、この図3を参照しつつ、図1の動作を説明する。

## 【0023】

通常動作では、停止信号HLT、STPが共に“L”となっており、アドレス制御部31のラッチ信号LA1～LA3はすべて“L”、選択信号SLAは1となっている。これにより、CPU10から出力されるアドレス信号ADRは、セクタ32を介して、アドレス信号ADMとしてROM20に与えられる。また、ROM20から読み出されたデータDATは、データラッチ34とセクタ37を介して、データDTCとしてCPU10に与えられる。これにより、アドレス信号ADRに従って、ROM20の記憶内容が順次読み出され、CPU10による制御処理が行われる。

## 【0024】

図3の時刻t1において、例えばCPU10によってHALT命令が実行されて停止信号HLTが“H”になり、このCPU10から出力されていたアドレス信号ADRは“AD1”のままで固定される。停止信号HLTによって、セクタ32、33は第2の入力側に切り替えられる。

## 【0025】

これにより、アドレス制御部31のアドレス信号ADIがセクタ32を介してアドレス信号ADMとしてROM20に与えられる。また、この時点ではアドレス制御部31のモード信号MDAは“L”であり、これがセクタ33を介してモード信号MODとしてROM20に与えられる。従って、ROM20の動作

モードはそのまま継続される。更に、アドレス制御部31からラッチ信号LA1が出力され、これによって、ROM20から出力されているデータDATの“DT1”がデータラッチ34にラッチデータL1として保持される

## 【0026】

時刻t2において、アドレス制御部31から出力されるアドレス信号ADIが1だけ増加されて“AD2”となり、アドレス信号ADMとしてROM20に与えられる。これにより、ROM20から読み出されるデータDTが“DT2”に変化する。このデータDTは、アドレス制御部31から出力されるラッチ信号LA2によって、データラッチ35にラッチデータL2として保持される。

## 【0027】

時刻t3において、アドレス制御部31から出力されるアドレス信号ADIが、更に2だけ増加されて“AD3”となり、ROM20から読み出されるデータDTが“DT3”に変化する。このデータDTは、アドレス制御部31から出力されるラッチ信号LA3によって、データラッチ36にラッチデータL3として保持される。

## 【0028】

時刻t4において、アドレス制御部31から出力されるアドレス信号ADIが、CPU10から与えられるアドレス信号ADR、即ち“AD1”に戻されると共に、モード信号MDIが“H”となる。これにより、ROM20は待機モードとなり、データDATの出力が停止されて低消費電力状態に移行する。

## 【0029】

時刻t5において、図示しない周辺回路等から割込信号が印加されてCPU10が動作を再開すると、停止信号HLTが“L”となる。これにより、セクタ32、33は第1の入力側に切り替えられ、ROM20は動作モードに戻る。

## 【0030】

一方、アドレス制御部31から出力されるラッチ信号LA1～LA3は、“H”となっているので、ROM20から出力されるデータDATは、データラッチ34～36には取り込まれない。そして、データラッチ34に保持されているラッチデータL1の“DT1”が、セクタ37を介してデータDTCとしてCP

U10に与えられる。

【0031】

時刻t6において、CPU10から出力されるアドレス信号ADRが“AD2”になると、アドレス制御部31から出力される選択信号SLAが2になり、データラッチ35に保持されているラッチデータL2の“DT2”が、セクタ37を介してデータDTCとしてCPU10に与えられる。

【0032】

時刻t7において、CPU10から出力されるアドレス信号ADRが“AD3”になると、アドレス制御部31から出力される選択信号SLAが3になり、データラッチ35に保持されているラッチデータL3の“DT3”が、セクタ37を介してデータDTCとしてCPU10に与えられる。

【0033】

時刻t8において、CPU10から出力されるアドレス信号ADRが“AD3”になると、アドレス制御部31から出力されるラッチ信号LA1～LA3が“L”となると共に、選択信号SLAが1に戻る。これにより、ROM20からデータDATとして読み出されたデータ“DT4”が、データラッチ34とセクタ37を介して、データDTCとしてCPU10に与えられる。これ以降は、通常動作となる。

【0034】

なお、このCPU10は、割込信号が与えられたときに、停止していたアドレスから再起動することを前提としている。従って、リセットや割込時に、特定のアドレス（例えば、0番地）から再起動するCPUの場合には、予め特定のアドレスのデータをROM20から読み出して、データラッチ34～36に保持するようにする必要がある。

【0035】

以上のように、この第1の実施形態のマイコンは、停止信号HLTが“H”になったときに、直ちにROM20を待機モードにせずに、CPU10の動作が再開したときのアドレスに対応する所定範囲の記憶内容を、予め読み出して保持しておくためのアドレス制御部31とデータラッチ34～36を有している。更に

、CPU10の動作が再開したときに、データラッチ34～36の保持しているラッチデータL1～L3を順次CPU10にデータDTCとして出力するセレクタ37を有している。これにより、ROM20が待機モードから動作モードに変化した直後の、不安定なデータが出力されることがなくなり、このROM20の待機モードにおける極低消費電力を実現できるという利点がある。

## 【0036】

## (第2の実施形態)

図4は、本発明の第2の実施形態を示すマイコンの概略の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

## 【0037】

このマイコンは、図1中のデータラッチ35、36に代えて、先入れ先出しメモリ（以下、「FIFO」という）38を設けたもので、その他の構成は図1と同様である。

## 【0038】

このマイコンの動作は、図1のマイコンとほぼ同様である。ただ、図1のマイコンではデータラッチ35、36に保持されていたデータが、このマイコンでは、FIFO38に保持されることが異なっている。その他の動作は図1と同様であり、同様の利点がある。

## 【0039】

## (第3の実施形態)

図5は、本発明の第3の実施形態を示すマイコンの概略の構成図である。

このマイコンは、図1と同様のCPU10と、ROM20を備えている。

## 【0040】

CPU10から出力されるアドレス信号ADRは、ROM20にそのまま与えられる、このROM20から読み出されたデータDATが、データラッチ41を介してデータDTCとしてCPU10に与えられるようになっている。データラッチ41の制御端子には、CPU10から出力される2つの停止信号HLT、STPが論理和ゲート（以下、「OR」という）42を介して与えられている。

## 【0041】

このマイコンは、ROM20に対するモード信号MODを制御するモード制御部50と、CPU10に対する割込信号を制御する割込制御部60とからなる割込制御手段を有している。

## 【0042】

モード制御部50は、フリップフロップ（以下、「FF」という）51、OR52及びセクタ53で構成されている。FF51のデータ端子は“H”に接続され、クロック端子には停止信号HLTが与えられるようになっている。また、FF51のリセット端子には、CPU10からのリセット信号RSTと周辺回路等からの割込信号INTが、OR52を介して与えられるようになっている。セクタ53の第1及び第2の入力側には、CPU10からの停止信号STP及びFF51の出力信号が、それぞれ与えられるようになっている。セクタ53の制御端子には停止信号HLTが与えられ、この出力側から出力されるモード信号MODがROM20のチップ選択端子CEに与えられるようになっている。

## 【0043】

割込制御部60は、例えば8ビットのレジスタ61、カウンタ62、論理積ゲート（以下、「AND」という）63及びセクタ64で構成されている。レジスタ61は定数を格納するもので、この出力側がカウンタ62に接続されている。カウンタ62は、レジスタ61から与えられる定数だけクロック信号をカウントし、カウントの終了信号をAND63の一方の入力側に与えるものである。AND63の他方の入力側には、割込信号INTが与えられ、このAND63の出力側がセクタ64の第2の入力側に接続されている。セクタ64の第1の入力側には割込信号INTが与えられ、制御端子には停止信号HLTが与えられている。そして、セクタ64の出力側から割込保留信号HLDが出力され、CPU10の割込端子INへ与えられるようになっている。

## 【0044】

図6は、図5の動作を示す信号波形図である。以下、この図6を参照しつつ、図5の動作を説明する。

## 【0045】

通常動作では、停止信号HLT、STPが共に“L”となっており、ROM2

0のチップ選択端子CEには“L”のモード信号MODが与えられる。ROM20から読み出されたデータDATは、データラッチ41を介してそのままデータDTCとしてCPU10に与えられる。

## 【0046】

図6の時刻T1において、CPU10から出力される停止信号HLTが“H”になると、モード制御部50のFF51がセットされ、セクタ53によってこのFF51の出力信号が選択されて、“H”のモード信号MODがROM20のチップ選択端子CEに与えられる。これにより、ROM20は待機モードに移行する。

## 【0047】

時刻T2において、周辺回路等からの割込信号INTが“H”になると、FF51がリセットされてモード信号MODが“L”に変わる。これにより、ROM20は動作モードになる。一方、割込制御部60では、レジスタ61に設定された値に基づいて、カウンタ62のカウント動作が開始される。

## 【0048】

時刻T3において、カウンタ62のカウント動作が終了すると、このカウンタ62からAND63及びセクタ64を介して、CPU10の割込端子INに割込保留信号HLDが与えられる。

## 【0049】

これにより、時刻T4において、CPU10から出力される停止信号HLTが“L”となり、通常動作が再開される。

## 【0050】

以上のように、この第3の実施形態のマイコンは、周辺回路等から割込信号INTが与えられたときに、直ちにROM20を動作モードに戻すと共に、CPU10に対しては、ROM20が正常な動作モードになるまでの所定の時間だけ遅らせて、割込保留信号HLDを出力する割込制御部60を有している。これにより、ROM20の待機モード時に極低消費電力が実現でき、CPU10が通常動作を再開したときには、このROM20が不安定なデータを出力することがなくなり、安定した動作を再開できるという利点がある。また、第1及び第2の実施

形態に比べて、回路構成が簡単であるという利点がある。

【 0 0 5 1 】

(第 4 の実施形態)

図 7 は、本発明の第 4 の実施形態を示すマイコンの概略の構成図であり、図 5 中の要素と共通の要素には共通の符号が付されている。

【 0 0 5 2 】

このマイコンは、図 5 中の割込制御部 6 0 に代えて、構成の異なる割込制御部 6 0 A を有している。即ち、この割込制御部 6 0 A は、F F 6 5 と論理否定ゲート（以下、「I N V」という）6 6 と、図 5 と同様の A N D 6 3 及びセクタ 6 4 とで構成されている。

【 0 0 5 3 】

F F 6 5 は、R O M 2 0 から出力されるビジー信号 B S Y を、クロック信号 C L K によって周期的に取り込み、保持及び出力するものである。F F 6 5 の出力信号は、周辺回路等からの割込信号 I N T とビジー信号 B S Y の I N V 6 6 の出力と共に A N D 6 3 に与えられるようになっている。その他の構成は、図 5 と同様である。

【 0 0 5 4 】

図 8 は、図 7 の動作を示す信号波形図である。以下、この図 8 を参照しつつ、図 7 の動作を説明する。

通常動作では、停止信号 H L T、S T P が共に “L” となっており、R O M 2 0 から読み出されたデータ D A T は、データラッチ 4 1 を介してそのままデータ D T C として C P U 1 0 に与えられる。

【 0 0 5 5 】

図 8 の時刻 T 1 1 において、C P U 1 0 から出力される停止信号 H L T が “H” になると、モード制御部 5 0 の F F 5 1 がセットされ、セクタ 5 3 によってこの F F 5 1 の出力信号が選択されて、“H” のモード信号 M O D が R O M 2 0 のチップ選択端子 C E に与えられる。これにより、R O M 2 0 は待機モードに移行し、ビジー信号 B S Y が “H” となる。

【 0 0 5 6 】

時刻T12において、周辺回路等からの割込信号INTが“H”になると、FF51がリセットされてモード信号MODが“L”となり、ROM20は動作モードになる。このとき、ROM20から出力されるビジー信号BSYは、直ちに“L”にはならず、このROM20の動作が安定するまで“H”のままの状態に保たれる。従って、FF65の出力信号は、ROM20の動作が安定するまで“H”となる。

【0057】

時刻T13において、ビジー信号BSYが“L”になると、AND63の出力信号が“H”となり、セクタ64を介して、CPU10の割込端子INに割込保留信号HLDが与えられる。

【0058】

これにより、時刻T14において、CPU10から出力される停止信号HLTが“L”となり、通常動作が再開される。

【0059】

以上のように、この第4の実施形態のマイコンは、周辺回路等から割込信号INTが与えられたときに、直ちにROM20を動作モードに戻すモード制御部50と、ROM20のビジー信号BSYが解除されたときに、CPU10に対して保留信号HLDを出力する割込制御部60Aを有している。これにより、ROM20の状態にあわせてCPU10の動作を再開させることができるので、第3の実施形態と同様の利点に加え、より短時間で動作モードに戻ることができるという利点がある。

【0060】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0061】

(a) 図1のマイコンは、3つのデータラッチ34～36を有しているが、データラッチの数はROM20の立ち上がりに必要な時間に合わせて、増減することができる。

【0062】



(b) CPU10は、2種類の停止信号HLT, STPを出力するようになっているが、停止信号HLTだけの場合にも同様に適用可能である。

【0063】

(c) ROM20はフラッシュROMに限定されず、待機モードからの立ち上がりの遅いメモリに対して同様に適用可能である。

【0064】

【発明の効果】

以上詳細に説明したように、第1の発明によれば、CPUから停止信号が与えられたときに、記憶装置から所定範囲のプログラムを読み出して保持した後、この記憶装置を低消費電力状態にすると共に、停止信号が解除されたときには、保持したプログラムをCPUに出力するメモリ制御手段を有している。これにより、停止信号が解除された直後のプログラムはメモリ制御手段から与えられるので、記憶装置の待機モードにおける消費電力を極端に少なくしても、誤り無く再起動することができる。

【0065】

第2の発明によれば、CPUに対する割込要求が与えられたときに記憶装置に対する待機信号を解除し、所定時間の経過後またはこの記憶装置が動作可能になったときに、CPUに対する割込信号を出力する割込制御手段を有している。これにより、簡単な回路構成で第1の発明と同様の効果が得られる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すマイコンの概略の構成図である。

【図2】

従来のマイコンの概略の構成図である。

【図3】

図1の動作を示す信号波形図である。

【図4】

本発明の第2の実施形態を示すマイコンの概略の構成図である。

【図5】

本発明の第 3 の実施形態を示すマイコンの概略の構成図である。

【図 6】

図 5 の動作を示す信号波形図である。

【図 7】

本発明の第 4 の実施形態を示すマイコンの概略の構成図である。

【図 8】

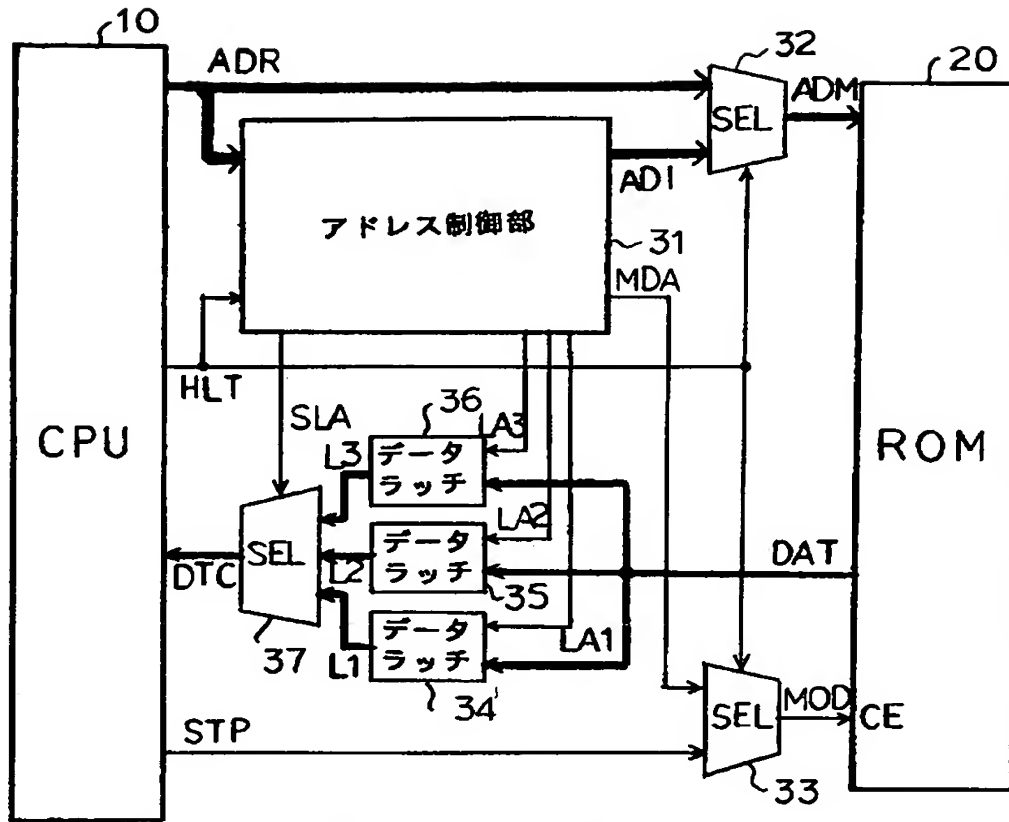
図 7 の動作を示す信号波形図である。

【符号の説明】

- 1 0     CPU
- 2 0     ROM
- 3 1     アドレス制御部
- 3 2, 3 3, 3 7     セレクタ
- 3 4 ~ 3 6     データラッチ
- 3 8     FIFO
- 5 0     モード制御部
- 6 0, 6 0 A     割込制御部

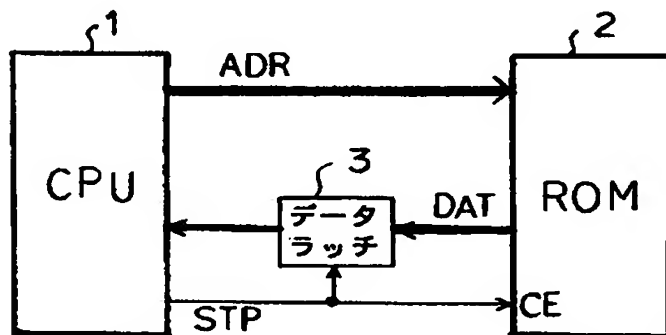
【書類名】 図面

【図 1】

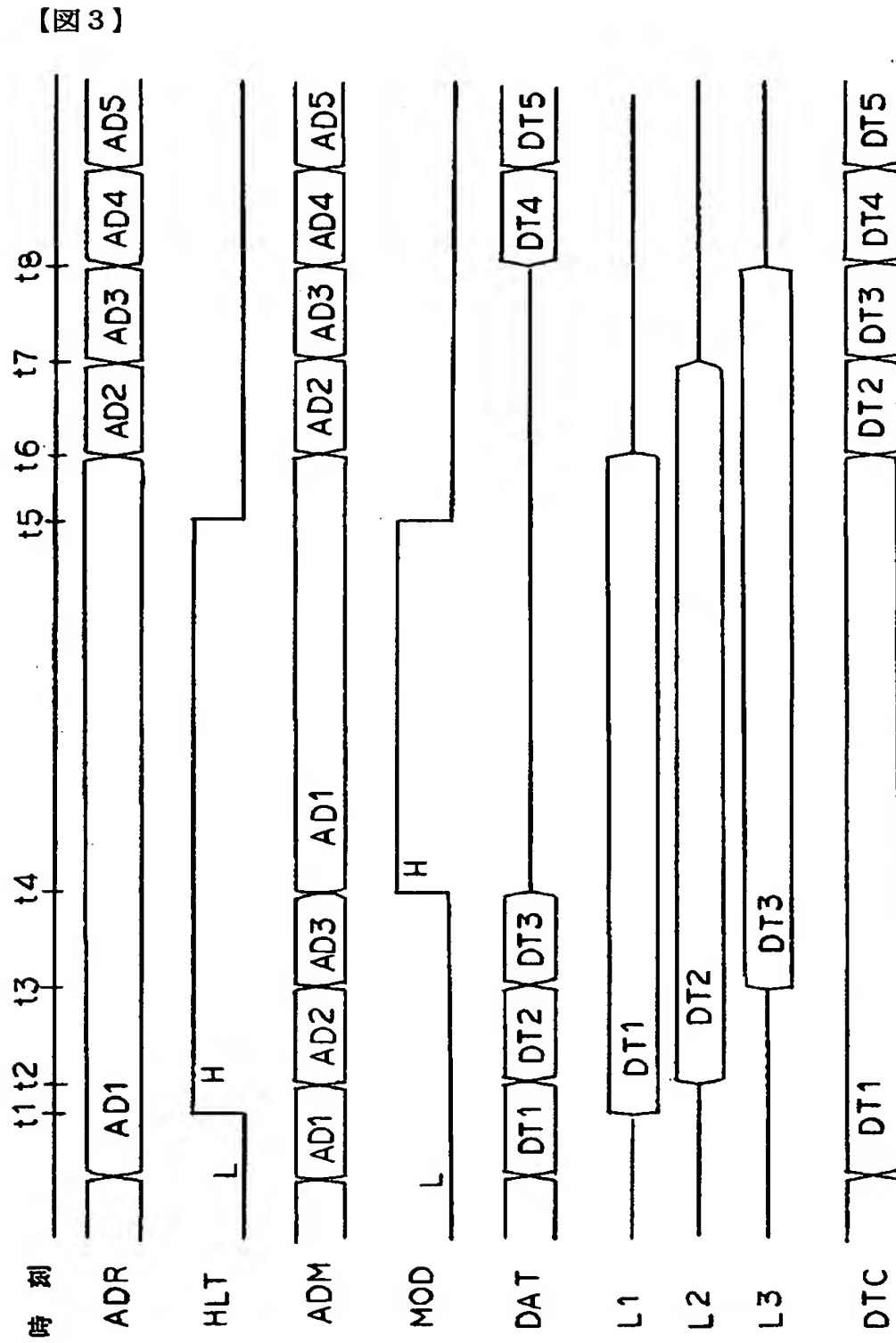


## 本発明の第１の実施形態のマイコン

【図 2】



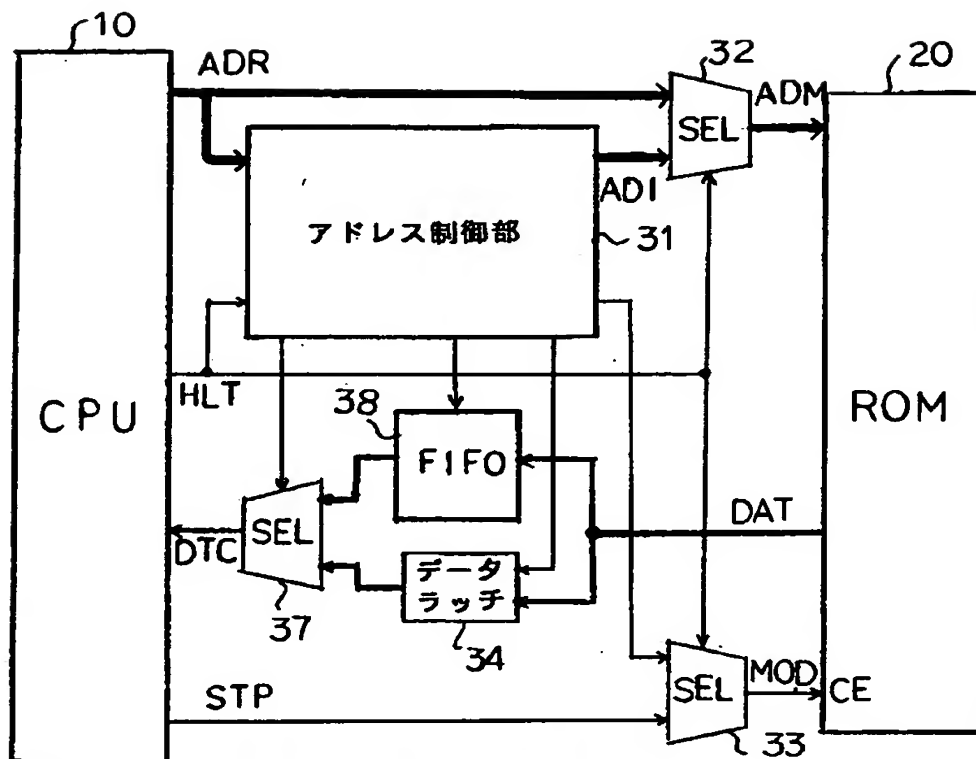
## 従来のマイコン



【図 3】

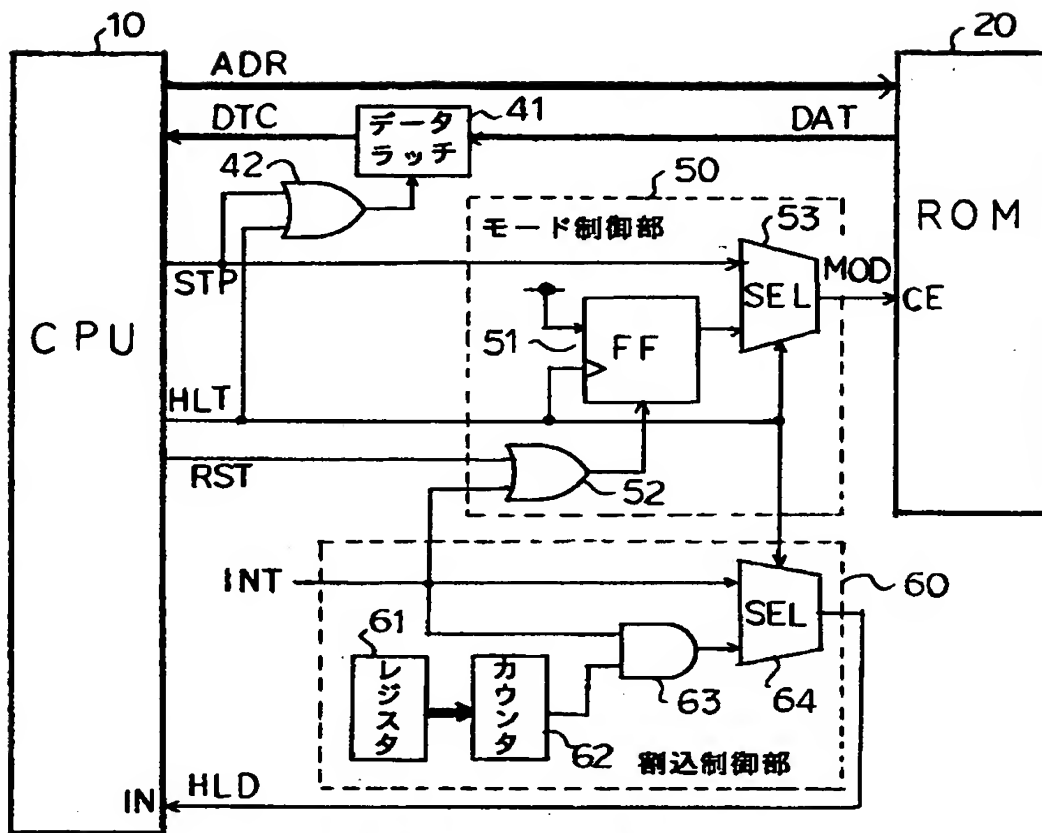
図 1 の動作

【図4】



本発明の第2の実施形態のマイコン

【図 5】



本発明の第 3 の実施形態のマイコン

【図 6】

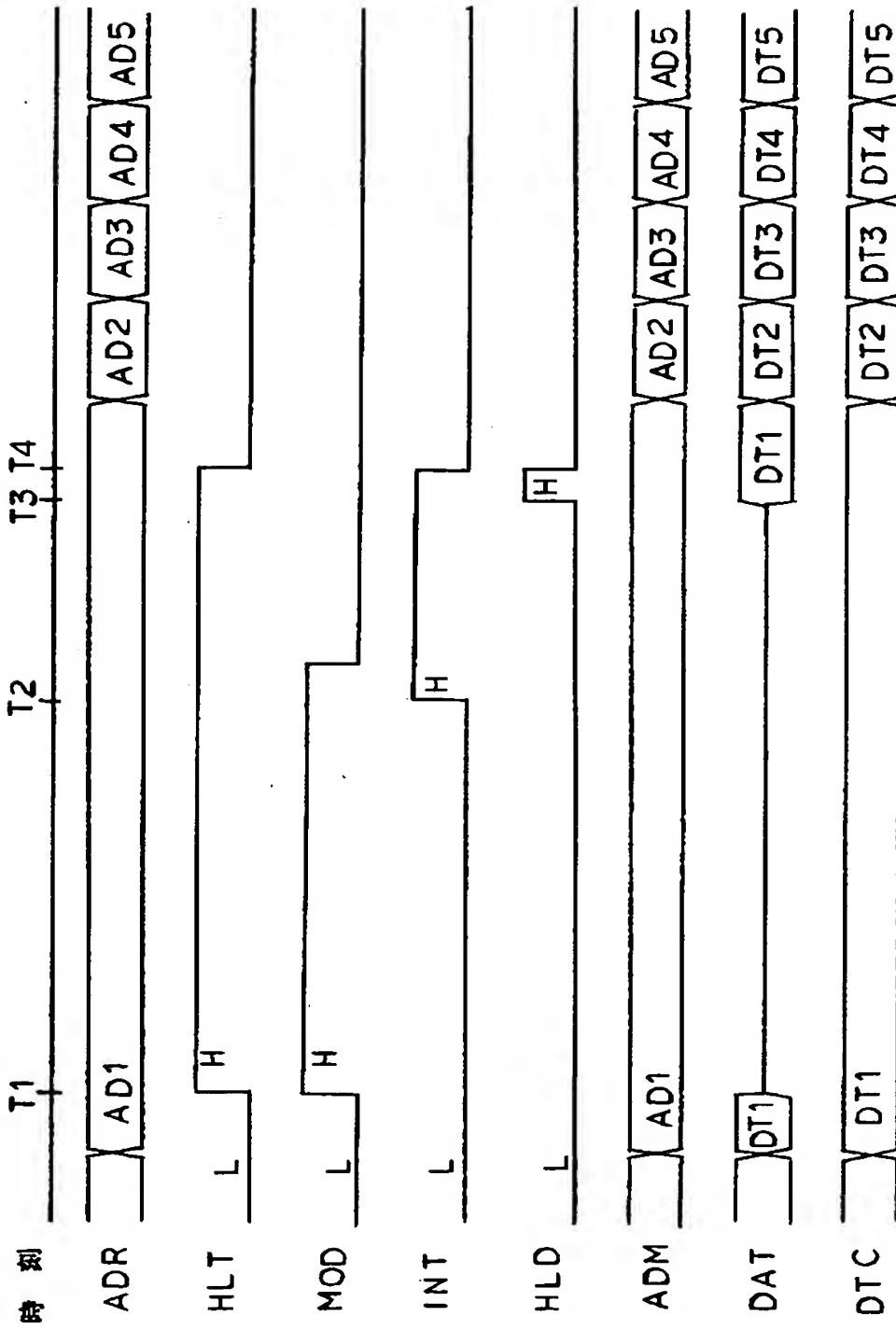
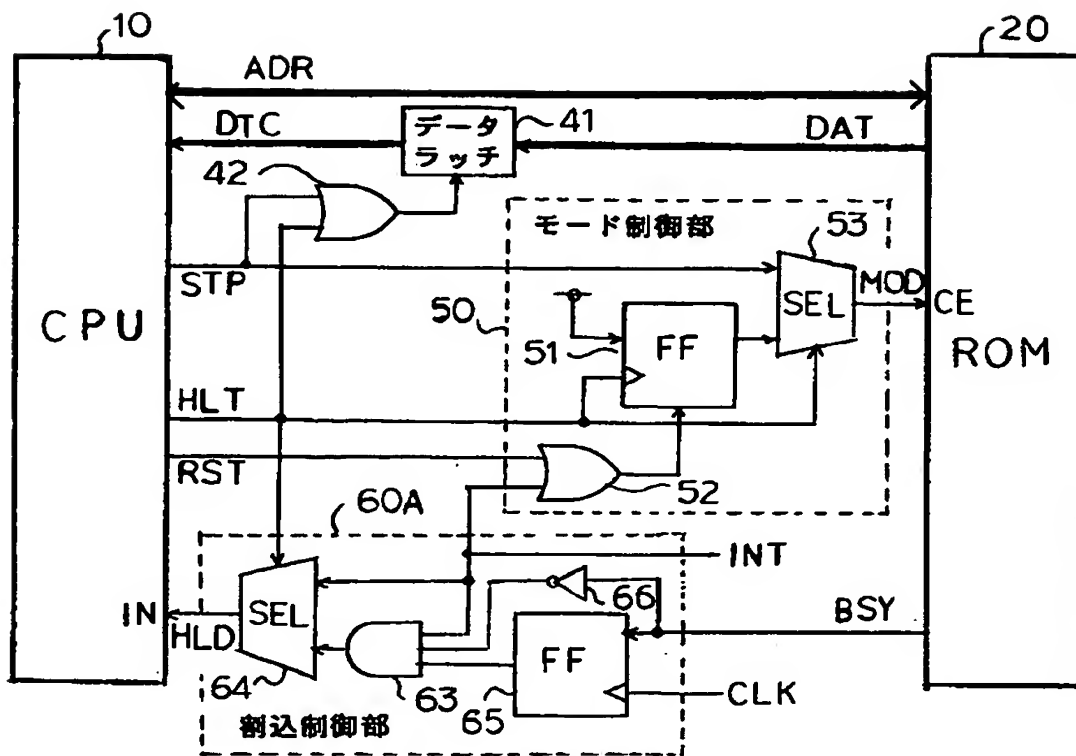


図 5 の動作

【図7】



本発明の第4の実施形態のマイコン



【図8】

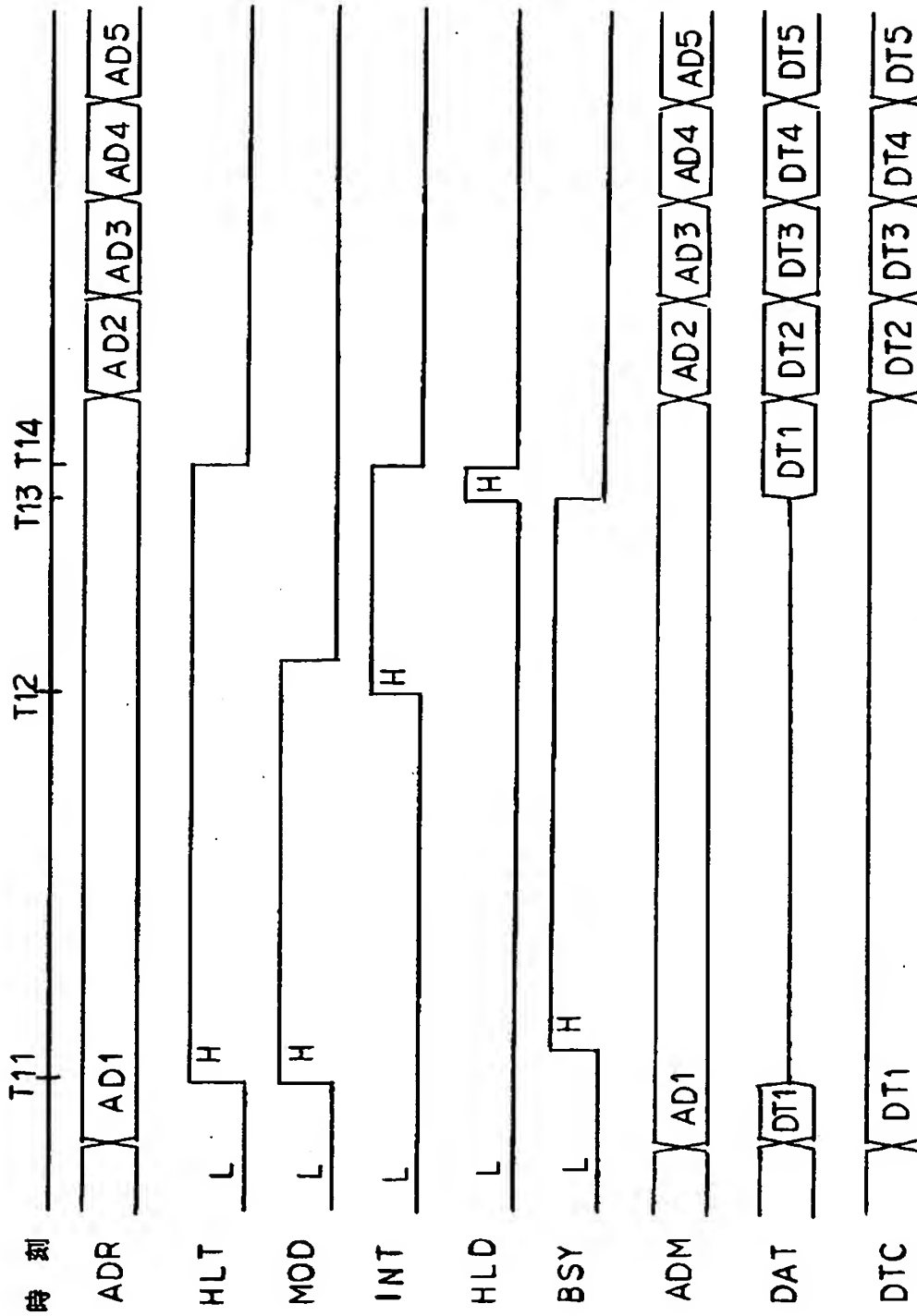


図7の動作

【書類名】 要約書

【要約】

【課題】 再起動時のメモリの誤読み出しをなくし、一層の低消費電力化が可能なマイコンを提供する。

【解決手段】 CPU10から停止信号HLTが出力されると、アドレス信号ADRに基づいてアドレス制御部31から順次増加されるアドレス信号ADIが生成され、ROM20に与えられる。アドレス信号ADIに従ってROM20から順次読み出されたデータDATは、データラッチ34～36に順次保持され、その後アドレス制御部31からROM20を待機モードにするモード信号MDAが出力される。停止信号HLTが解除されると、モード信号MDAが直ちに解除されると共に、アドレス信号ADRに従って、データラッチ34～36に保持されていたデータが、セクタ37で選択されてCPU10に順次与えられる。従って、ROM20の立ち上がりが遅くても誤動作のおそれがない。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [591049893]

1. 変更年月日 1999年 6月17日

[変更理由] 名称変更

住 所 宮崎県宮崎郡清武町大字木原7083番地

氏 名 株式会社 沖マイクロデザイン